

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305196

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

H01L 21/318
H01L 29/78

(21)Application number : 2001-109663

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.04.2001

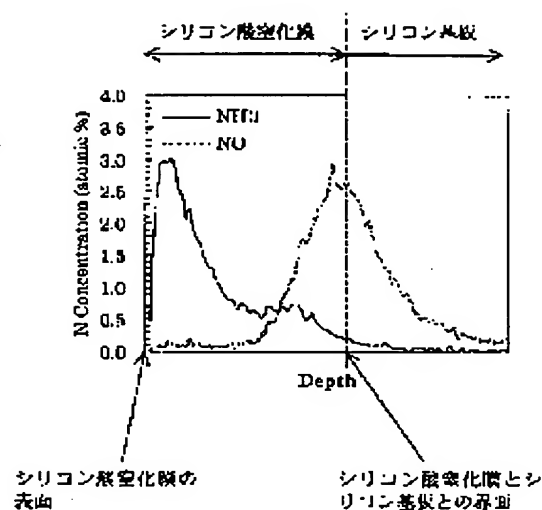
(72)Inventor : FUJIWARA MINORU
SAKI KAZUROU

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease concentration of nitrogen in an interface between a silicon substrate and a silicon oxidizing and nitriding film and increase concentration of nitrogen in the surface of the silicon oxidizing and nitriding film.

SOLUTION: A silicon oxidizing film is formed on the silicon substrate and treated thermally in an NH₃ gas atmosphere at a pressure of at most 50 Torrs, at a temperature of at least 1,000° C for at most 60 sec, so that nitrogen is introduced in the silicon oxidizing film, and the silicon oxidizing and nitriding film is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-305196

(P2002-305196A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 21/318		H 0 1 L 21/318	C 5 F 0 5 8
29/78		29/78	M 5 F 1 4 0
			3 0 1 G

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願2001-109663 (P2001-109663)

(22) 出願日 平成13年4月9日 (2001. 4. 9)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 藤原 実

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 佐喜 和朗

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

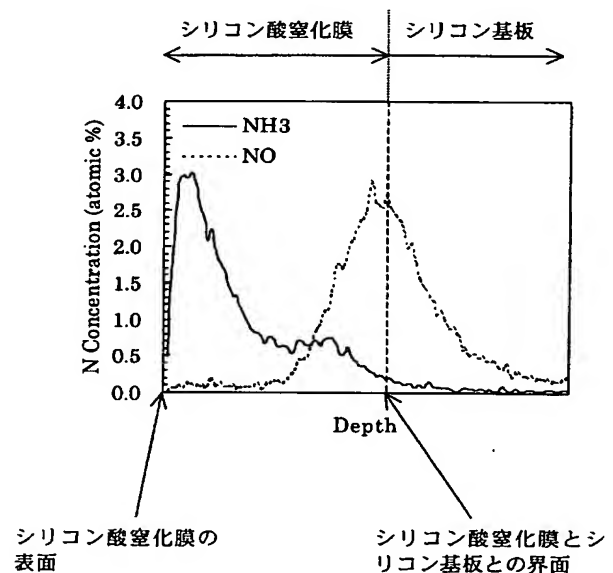
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 シリコン基板とシリコン酸窒化膜との界面の窒素濃度を低くし、かつ、シリコン酸窒化膜表面の窒素濃度を高くする。

【解決手段】 シリコン基板上にシリコン酸化膜を形成し、前記シリコン酸化膜に対して圧力50 Torr以下のNH₃ガス雰囲気中1000℃以上の温度で60秒以下の熱処理を施すことによって前記シリコン酸化膜に窒素を導入してシリコン酸窒化膜を形成する。



【特許請求の範囲】

【請求項 1】 シリコン基板上に膜厚 5 nm 以下のシリコン酸化膜を形成する工程と、

前記シリコン酸化膜を形成したシリコン基板を圧力 5 0 T o r r 以下の NH_3 含有ガス雰囲気中 1 0 0 0 °C 以上の温度で 6 0 秒以内の熱処理を施すことによって前記シリコン酸化膜中に窒素を導入してシリコン酸窒化膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記シリコン酸窒化膜を形成する工程の後、前記シリコン酸窒化膜上に高誘電体絶縁膜を形成する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に M I S 型電界効果トランジスタ (M I S F E T) のゲート絶縁膜として用いられる酸窒化膜の形成方法に関する。

【0002】

【従来の技術】 大規模集積回路 (L S I : L a r g e S c a l e I n t e g r a t e d c i r c u i t s) の微細化、高集積化が進むにつれ、ゲート絶縁膜として使用されているシリコン酸化膜の薄膜化が必要になっている。

【0003】しかし、前記シリコン酸化膜の薄膜化に伴って、ゲートポリシリコン電極中に導入した不純物 (例えば、ボロン) に対するバリア性が失われてしまう。この現象によって、しきい値電圧の変動及び界面準位の増加を招き、デバイス特性ばらつきの増大という問題が生じる。

【0004】また、上記ゲート絶縁膜の薄膜化に伴って、膜厚に依存したゲート電流が増大してしまう。この現象は理論的に膜厚の減少に対して指数関数的に増大することが知られている。

【0005】そこで、上記の問題点を解決するために、前記ゲート絶縁膜としてシリコン酸化膜に代わってシリコン酸窒化膜の採用があげられる。窒素原子導入によって、ゲート絶縁膜の分子構造が緻密になり、ゲート電極中の不純物であるボロン原子のシリコン基板への拡散を防止できる。

【0006】また、窒素原子導入によって、ゲート絶縁膜の平均誘電率が上昇するため、同一の電気的膜厚で前記シリコン酸化膜と比べて物理膜厚が厚いゲート絶縁膜の形成が可能となり、上記問題とされているゲート電流が増大する現象も抑えられるという利点もある。

【0007】上記シリコン酸窒化膜形成には、半導体基板上にシリコン酸化膜を形成し、その後 NO 、 N_2O 又は NH_3 ガス雰囲気中で熱処理を加える手法が用いられている。

【0008】

【発明が解決しようとする課題】 しかし、特に 5 nm 以下の薄膜のシリコン酸化膜に窒素を導入する場合、 NO 又は N_2O ガスを用いると、図 7 (a) に示すようにシリコン基板とシリコン酸窒化膜との界面付近に窒素が導入される。その結果、固定電荷及び界面準位が増大し、移動度の低下や $1/f$ ノイズの増加等の問題が発生し、デバイス特性の劣化に繋がる。

【0009】また、 NH_3 ガスを用いると、シリコン酸窒化膜が 5 nm 以下の薄膜の下では図 7 (b) に示すように、酸窒化膜中の窒素濃度分布がほぼ均一になるため、上記 NO 又は N_2O ガスと同様にシリコン基板と酸窒化膜との界面付近の窒素濃度が高くなる。したがって、この場合もデバイス特性が劣化してしまう。

【0010】そこで、本発明はシリコン酸窒化膜とシリコン基板との界面付近の窒素濃度を低く抑え、シリコン酸窒化膜表面の窒素濃度を高めるような半導体装置の製造方法を提供する。

【0011】

【課題を解決するための手段】 上記課題は、シリコン基板上に膜厚 5 nm 以下のシリコン酸化膜を形成する工程と、前記酸化膜を形成したシリコン基板を圧力 5 0 T o r r 以下の NH_3 含有ガス雰囲気中 1 0 0 0 °C 以上の温度で 6 0 秒以内の熱処理を施すことによって前記シリコン酸化膜中に窒素を導入してシリコン酸窒化膜を形成する工程を有することを特徴とする半導体装置の製造方法により解決する。

【0012】本発明によれば、上記条件の下熱処理することによって、シリコン基板とシリコン酸窒化膜との界面付近における窒化反応が抑制され、シリコン酸窒化膜表面近傍の窒素濃度を高くすることができる。

【0013】

【発明の実施の形態】 [第 1 の実施例] 本発明の第 1 の実施例による半導体装置の製造工程を説明する。図 1 は本発明の第 1 の実施例に係る M I S 型半導体装置の製造工程を示す図である。

【0014】図 1 (a) を参照するに、シリコン基板 1 に素子分離領域 2 を形成し、熱酸化法によって前記シリコン基板 1 上に 2.5 nm のシリコン酸化膜 3 を形成する。

【0015】次に図 1 (b) に示すように、前記シリコン酸化膜 3 を圧力 1 0 T o r r の NH_3 ガス雰囲気中において、温度 1 0 5 0 °C で 6 0 秒間の熱処理を施す。その結果、前記シリコン酸化膜 3 に窒素が導入されシリコン酸窒化膜 4 が形成される。

【0016】ここで、前記工程によって形成されたシリコン酸窒化膜 4 の表面からシリコン基板界面までの窒素濃度プロファイルを図 2 の実線で示す。また、図 2 の点線は、前記工程の NH_3 ガスに代えて NO ガス雰囲気中で熱処理した場合の窒素濃度プロファイルを示してい

る。

【0017】点線はシリコン酸化膜表面（以下、「酸化膜表面」という。）の窒素濃度が低く、シリコン基板とシリコン酸化膜との界面（以下、「シリコン基板界面」という。）付近の窒素濃度が高くなっている。一方、実線は酸化膜表面の窒素濃度が高くなり、逆にシリコン基板界面付近の窒素濃度が低くなっていることが確認できる。

【0018】したがって図2から明らかなように、 NH_3 ガス雰囲気中で処理したシリコン酸化膜の窒素濃度は酸化膜表面付近が高く、シリコン基板界面付近が低くなり、固定電荷及び界面準位を低く保つことができ、移動度の低下、 $1/f$ ノイズの増加を抑えることが可能となる。

【0019】続けて、図1(c)に示すように、前記シリコン酸化膜4上にゲート電極となるポリシリコンを堆積し、フォトリソグラフィー及びエッチング技術によって加工し、ゲート電極5を形成する。さらに、前記ゲート電極5と素子分離領域2との間の領域に不純物拡散を施して拡散層6を形成し、MIS型半導体装置が形成される。ここで、本発明の効果を発揮することができる発明の実施範囲について説明する。

【0020】図3は圧力30 Torrの NH_3 含有ガス雰囲気中における処理時間と酸化膜表面の窒素濃度との関係を処理温度別に表したグラフである。図3より、処理温度が高いほど短時間に酸化膜表面の窒素濃度を高めることが可能であり、また、処理時間を長くするほど酸化膜表面の窒素濃度が高くなることがわかる。

【0021】しかし、処理時間を長くすると酸化膜表面の窒素濃度が高くなるが、同時にシリコン基板界面の窒素濃度も高くなる。この現象を表すグラフを図4に示す。図4は、圧力30 Torrの NH_3 含有ガス雰囲気中における処理時間とシリコン基板界面の窒素濃度との関係を処理温度別に表したグラフである。図4より、処理時間が長いほどシリコン基板界面の窒素濃度が高くなることがわかる。本発明はシリコン基板界面の窒素濃度を低く抑え、移動度の低下や $1/f$ ノイズの増加等の問題によるデバイス特性の劣化を防ぐことを目的とすることから、シリコン基板界面の窒素濃度は低いほど望ましい。良好な界面特性を得るためには、シリコン基板界面の窒素濃度を2 atomic %以内に抑えることが必要である。すなわち、図4より処理温度1000℃においては60秒以内、900℃においては3分以内、800℃においては10分以内の短時間化を図る必要がある。

【0022】しかし、処理温度900℃や800℃で処理した場合、上記条件の下シリコン基板界面の窒素濃度を2 atomic %以内に抑えることができるが、その際の酸化膜表面の窒素濃度は約4.5 atomic %までしか高めることができない（図3参照）。一方、処理温度が1000℃ではシリコン基板界面の窒素濃度2

atomic %に対して酸化膜表面の窒素濃度を約6.6 atomic %まで高めることが可能である（図3参照）。したがって、処理温度を1000℃以上の高温、かつ、60秒以下の短時間処理を施すことによって、シリコン基板界面の窒化抑制を図った上で酸化膜表面の窒素濃度を高めることができる。

【0023】次に、圧力との関係について考える。図5は温度1000℃で60秒熱処理した場合の圧力とシリコン基板界面の窒素濃度の関係を表したグラフである。図5より、シリコン基板界面の窒素濃度を2 atomic %以内に抑えるためには、圧力を50 Torr以下にしなければいけない。

【0024】〔第2の実施例〕次に本発明の第2の実施例による半導体装置の製造工程を説明する。図6は本発明の第2の実施例に係るMIS型半導体装置の製造工程断面図である。但し、図6において、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0025】図6(a)を参照するに、シリコン基板1に素子分離領域2を形成し、熱酸化法によって前記シリコン基板上に0.5~1.5 nmのシリコン酸化膜を形成する。次に実施例1と同様、圧力10 Torrの NH_3 ガス雰囲気中において温度1050℃で60秒間の熱処理を施すことによってシリコン酸化膜7を形成する。

【0026】続けて、図6(b)に示すように、前記シリコン酸化膜7上に高誘電体絶縁膜8として Si_3N_4 等を堆積し、さらに前記高誘電体絶縁膜8上にゲート電極となるポリシリコンを堆積する。

【0027】次に、第1の実施例と同様に、前記シリコン酸化膜と、 Si_3N_4 と、ポリシリコンをフォトリソグラフィーとエッチング技術によって加工し、ゲート電極9を形成する。さらに、前記ゲート電極9と素子分離領域2との間の領域に不純物拡散を施して拡散層6を形成し、MIS型半導体装置が形成される。

【0028】上記シリコン酸化膜7とゲート電極9の間に堆積させた Si_3N_4 は高誘電体であるため、ゲート絶縁膜をシリコン酸化膜のみで構成するよりもさらに平均誘電率が高くなり、延いては電気的膜厚を保ったままゲート絶縁膜の物理膜厚を厚くすることができるのでゲート電流の増大を抑制することができる。

【0029】また、本発明の実施例で形成されたシリコン酸化膜7の表面は窒素濃度が高いため、酸化膜の平均誘電率も高くなっている。したがって、シリコン酸化膜を高誘電体絶縁膜8との界面層として用いた場合に比べてゲート絶縁膜全体の平均誘電率が高くなる。

【0030】また、ゲート電極としてポリシリコン、高誘電体絶縁膜として Si_3N_4 を用いたが、ゲート電極をタングステン、アルミニウム等の電極材料に、高誘電体絶縁膜を Ta_2O_5 、 TiO_2 等の高誘電体絶縁材料で構成することも可能である。

【0031】したがって、本発明は、かかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0032】

【発明の効果】 以上に説明したように本発明によれば、シリコン基板とシリコン酸化膜との界面の窒素濃度を低く抑え、シリコン酸化膜の表面の窒素濃度を高めることができ、その結果、固定電荷及び界面準位を低く保つことができる。

【図面の簡単な説明】

【図1】 第1の実施例による半導体装置の製造工程を示す図である。

【図2】 第1の実施例により製造されたシリコン酸化膜の窒素濃度プロファイル及びNOガス雰囲気中で熱処理された場合の窒素濃度プロファイルを示す図である。

【図3】 圧力30 TorrのNH₃ガス雰囲気中にお

ける処理時間とシリコン酸化膜表面の窒素濃度との関係を示す図である。

【図4】 圧力30 TorrのNH₃ガス雰囲気中における処理時間とシリコン酸化膜とシリコン基板との界面の窒素濃度との関係を示す図である。

【図5】 NH₃ガス雰囲気中において温度1000℃で60秒間熱処理した場合の圧力とシリコン酸化膜とシリコン基板との界面の窒素濃度との関係を示す図である。

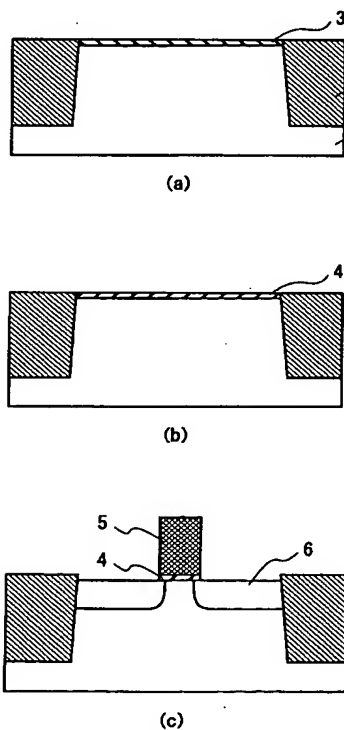
【図6】 第2の実施例による半導体装置の製造工程を示す図である。

【図7】 従来技術により製造されたシリコン酸化膜の窒素濃度プロファイルである。

【符号の説明】

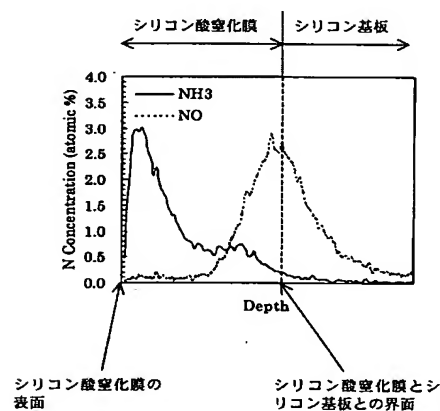
1…シリコン基板、2…素子分離領域、3…シリコン酸化膜、4、7…シリコン酸化膜、5、9…ゲート電極、6…拡散層、8…高誘電体絶縁膜

【図1】

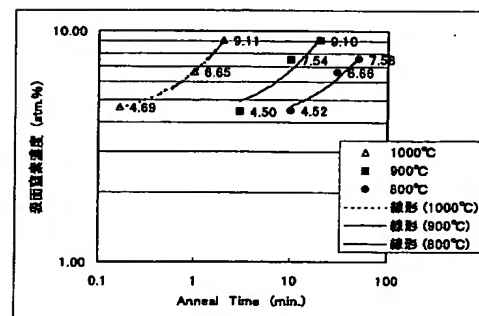


1…シリコン基板、2…素子分離領域、3…シリコン酸化膜、4…シリコン酸化膜、5…ゲート電極、6…拡散層

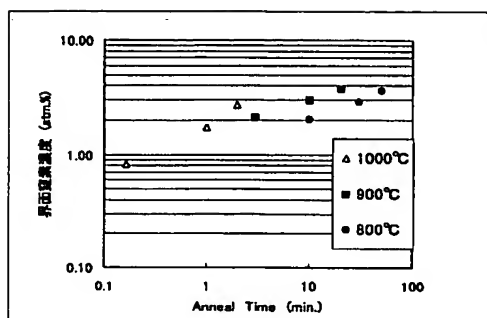
【図2】



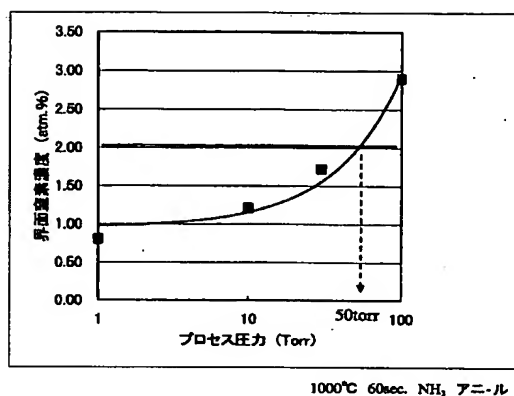
【図3】



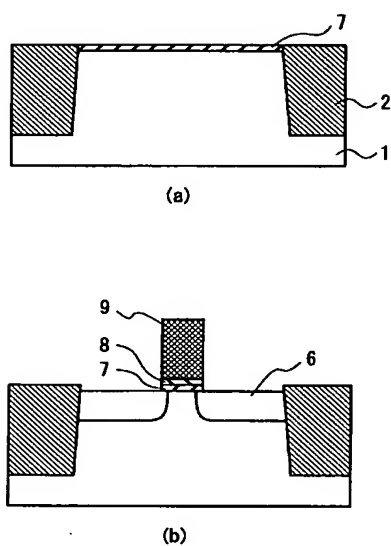
【図4】



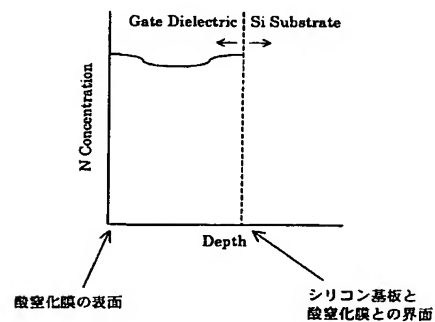
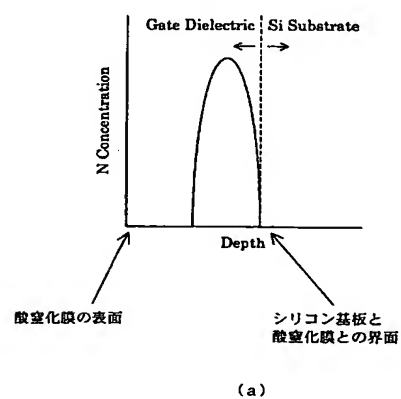
【図5】



【図6】



【図7】



7…シリコン酸化膜、8…高誘電率絶縁膜、9…ゲート電極

フロントページの続き

Fターム(参考) 5F058 BC11 BD01 BD15 BD18 BF64
BJ01
5F140 AA00 AA01 AA03 AA06 AA24
BD01 BD07 BD09 BD11 BD12
BD15 BE07 BE08 BE19 BF01
BF04 BF05 BF07 BG37 CB04